

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

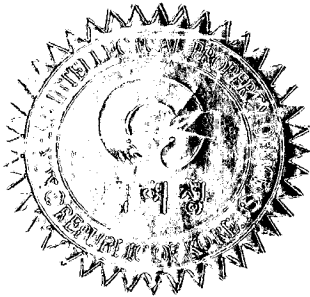
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0020436
Application Number

출원년월일 : 2003년 04월 01일
Date of Application APR 01, 2003

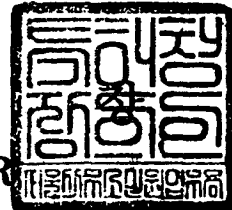
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 06 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0011
【제출일자】 2003.04.01
【국제특허분류】 G02F
【발명의 명칭】 액정표시소자 및 그의 제조방법
【발명의 영문명칭】 liquid crystal display device and method for fabricating the same
【출원인】
【명칭】 엘지 .필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5
【대리인】
【성명】 김용인
【대리인코드】 9-1998-000022-1
【포괄위임등록번호】 1999-054732-1
【대리인】
【성명】 삼창섭
【대리인코드】 9-1998-000279-9
【포괄위임등록번호】 1999-054731-4
【발명자】
【성명의 국문표기】 윤해진
【성명의 영문표기】 YOUN,Hae Jin
【주민등록번호】 760216-1792211
【우편번호】 714-903
【주소】 경상북도 청도군 화양읍 삼신1리 337번지
【국적】 KR
【우선권주장】
【출원국명】 KR
【출원종류】 특허
【출원번호】 10-2002-0050055
【출원일자】 2002.08.23
【증명서류】 첨부

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김용인 (인) 대리인

심창섭 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 34 면 34,000 원

【우선권주장료】 1 건 26,000 원

【심사청구료】 27 항 973,000 원

【합계】 1,062,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

백 라이트의 온/오프 구간에 따른 화소전극과 데이터라인간의 커패시턴스값이 변화되는 것을 방지하여 웨이비 노이즈(wavy noise) 발생을 방지하여 화질을 개선하기에 알맞은 액정표시소자 및 그 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시소자는 절연기판상에 일방향으로 형성된 게이트라인과; 상기 게이트라인과 이격되어 상기 게이트라인에 수직한 방향으로 형성된 제 1 데이터라인과; 상기 제 1 데이터라인과 동일선상에 상기 게이트라인과 교차 배열되는 제 2 데이터라인과; 상기 게이트라인과 상기 제 2 데이터라인의 교차 부분에 형성된 박막트랜지스터와; 상기 제 2 데이터라인, 상기 박막트랜지스터의 소오스전극, 드레인전극의 하부에 형성된 액티브층과; 상기 제 1, 제 2 데이터라인을 전기적으로 연결하며, 상기 게이트라인과 교차 배열되어 화소영역을 정의하는 제 3 데이터라인과; 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 한다.

【대표도】

도 4

【색인어】

액티브층, 데이터라인, 화소전극, 커패시턴스, 백 라이트

【명세서】

【발명의 명칭】

액정표시소자 및 그의 제조방법{liquid crystal display device and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 액정표시소자의 단위 화소의 확대 평면도

도 2는 도 1의 I-I'와 II-II' 선상에서의 종래에 따른 액정표시소자의 구조단면도

도 3a 내지 도 3h는 도 1의 I-I'와 II-II' 선상에서의 종래에 따른 액정표시소자의 제조방법을 나타낸 공정단면도

도 4는 본 발명의 액정표시소자의 단위 화소의 확대 평면도

도 5는 도 4의 III-III'와 IV-IV' 선상에서의 본 발명에 따른 액정표시소자의 구조단면도

도 6a 내지 도 6h는 도 4의 III-III'와 IV-IV' 선상에서의 본 발명에 따른 액정표시소자의 제조방법을 나타낸 공정단면도

* 도면의 주요 부분에 대한 부호의 설명 *

61 : 하부기관 62 : 게이트라인

62a : 게이트전극 62b : 제 1 데이터라인

63 : 게이트절연막 64a : 액티브층

65a : 오믹 콘택층 66a : 제 2 데이터라인

66b, 66c : 소오스,드레인전극 67 : 보호막

68a, 68b, 68c : 제 1, 제 2, 제 3 콘택홀

69 : 화소전극 69a : 제 3 데이터라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 액정표시소자에 대한 것으로, 특히 4마스크 구조에서 발생할 수 있는 웨이비 노이즈(wavy noise) 불량을 개선할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.
- <16> 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- <17> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

- <18> 이와 같이 액정표시장치가 일반적인 화면 표시 장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.
- <19> 일반적인 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.
- <20> 여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터(Thin Film Transistor, 이하 TFT라함)가 형성되어 있다.
- <21> 그리고 제 2 유리 기판(컬러필터 어레이 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층과, R,G,B의 칼라 색상의 화상을 구현하기 위한 공통 전극이 형성되어 있다. 물론, 횡전계 방식의 액정표시장치에서는 공통전극이 제 1 유리 기판에 형성되어 있다.
- <22> 이와 같은 상기 제 1, 제 2 유리 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씨일재에 의해 합착되고 상기 두 기판 사이에 액정이 주입된다.

- <23> 이때, 액정 주입 방법은 상기 실재에 의해 합착된 두 기판 사이를 진공 상태로 유지하여 액정 용기에 상기 액정 주입구가 잠기도록 하면 삼투압 현상에 의해 액정이 두 기판 사이에 주입된다. 이와 같이 액정이 주입되면 상기 액정 주입구를 밀봉재로 밀봉하게 된다.
- <24> 한편, 상기와 같이 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <25> 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <26> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상 정보를 표현할 수 있다.
- <27> 따라서, 각 화소전극의 선택적 구동하는 TFT에 대한 연구개발은 수율향상 및 생산성 개선에 의한 제조 코스트의 절감에 초점을 맞추어, TFT의 구조개선, 비정질 또는 다결정 실리콘의 특성 향상, 전극의 오염성 접촉저항 및 단선/단락 방지등에 집중되고 있다.
- <28> 이중 TFT의 구조는 대면적, 저가격, 양산성을 이유로 더 많은 연구가 이루어지고 있는데, TFT는 게이트의 위치에 따라 크게 두 종류로 나뉘어진다.
- <29> 하나는 역 스테거형이라고 불리우는 바텀 게이트형이고, 다른 하나는 정 스테거형이라고 불리우는 탑 게이트형이다.

- <30> 기판상에 게이트전극을 먼저 형성하는 것을 바텀 게이트형이라 부르고, 소오스/드레인전극을 먼저 형성한 후에 게이트전극을 형성하는 것을 탑 게이트형이라고 부른다.
- <31> 이하에서는 게이트전극을 먼저 형성한 후 소오스/드레인전극을 형성하는 바텀 게이트형 액정표시소자를 제조할 때 4개의 마스크를 이용한 예에 대하여 살펴보고자 한다.
- <32> 이하, 첨부 도면을 참조하여 종래의 액정표시소자 및 그 제조방법에 대하여 설명하면 다음과 같다.
- <33> 도 1은 종래의 액정표시소자의 단위 화소의 확대 평면도이고, 도 2는 도 1의 I-I'와 II-II' 선상에서의 종래에 따른 액정표시소자의 구조단면도이다.
- <34> 종래에 따른 액정표시소자는 도 1과 도 2에 도시된 바와 같이 하부기판(31) 상에 게이트전극(32a)을 구비한 게이트라인(32)이 형성되고, 화소영역을 정의하기 위하여 상기 게이트라인(32)과 수직한 방향으로 데이터라인(36a)이 형성된다.
- <35> 그리고 상기 데이터라인(36a)에서 돌출 형성되어 소오스전극(36b)이 형성되며, 상기 소오스전극(36b)과 소정 간격 이격되어 드레인전극(36c)이 형성되어 있다.
- <36> 상기 소오스전극(36b)은 'C' 형상의 홈을 갖도록 돌출되어 있고, 상기 드레인전극(36c)은 상기 'C' 형상의 홈 안쪽에 상기 소오스전극(36b)과 소정간격 이격되어 있으며, 상기 소오스전극(36b)과 드레인전극(36c) 사이에 채널영역이 'C' 형상으로 형성되어 있다.
- <37> 상기 게이트라인(32)의 일측으로 게이트전극(32a)이 돌출되어 있고, 상기 게이트라인(32)을 포함한 하부기판(31) 상에 게이트절연막(33)이 형성되어 있다.

- <38> 상기 게이트전극(32a) 상부의 게이트절연막(33) 상에 액티브층(34a)이 형성되어 있는데, 이때 액티브층(34a)은 데이터라인(36a), 소오스전극(36b), 드레인전극(36c) 및 채널영역 하부에 데이터라인(36a), 소오스전극(36b), 드레인전극(36c) 보다 넓은 폭으로 형성되어 있다. 이때 액티브층(34a)은 비정질 실리콘으로 구성되어 있다.
- <39> 또한, 채널영역을 제외한 데이터라인(36a), 소오스전극(36b), 드레인전극(36c)과 액티브층(34a) 사이에는 n+ 비정질 실리콘으로 구성된 오믹 콘택층(34b)이 형성되어 있다.
- <40> 그리고 데이터라인(36a)을 포함한 하부기판(31) 전면에 보호막(37)이 형성되어 있고, 드레인전극(36c)의 일영역상의 보호막(37)에는 콘택홀(38)이 형성되어 있다.
- <41> 상기 콘택홀(38)을 통해 드레인전극(36c)과 콘택되도록 화소영역에 투명 화소전극(39)이 형성되어 있다.
- <42> 상기의 구성을 갖는 액정표시소자를 제조하기 위해서는 4개의 마스크가 필요한데, 이하에서는 4개의 마스크를 이용한 종래 기술에 따른 액정표시소자의 제조방법에 대하여 설명하기로 한다.
- <43> 도 3a 내지 도 3h는 도 1의 I-I'와 II-II' 선상에서의 종래에 따른 액정표시소자의 제조방법을 나타낸 공정단면도이다.
- <44> 먼저, 도 3a에 도시한 바와 같이 하부기판(31)상에 게이트 금속을 스퍼터링 방법으로 증착하고, 상기 게이트 금속위에 제1포토 레지스트(P/R1)를 도포하고, 이어서, 제1마스크를 이용하여 노광 및 현상하여 게이트라인을 형성하기 위한 제1포토 레지스트(P/R1) 패턴을 형성한다. 그리고 제1포토 레지스트(P/R1) 패턴을 마스크로 이용하여 게이트 금

속층을 선택적으로 제거하여 게이트라인(32)(도 1참조) 및 게이트라인(32)의 일측에서 돌출되도록 게이트전극(32a)을 형성한 다음, 제1포토 레지스트(P/R1) 패턴을 박리한다.

- <45> 게이트 금속층은 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속을 단일층 또는 이중층 구조로 형성한다.
- <46> 도 3b에 도시한 바와 같이, 게이트라인(32) 및 게이트전극(32a)을 포함한 하부기판(31) 전면에 게이트절연막(33)을 형성한다.
- <47> 이후에 게이트 절연막(33) 제 1, 제 2 반도체층(34,35)(비정질 실리콘층, n+ 비정질 실리콘층), 그리고 데이터 금속층(36)을 순차적으로 증착한다.
- <48> 이후에 데이터 금속층(36)상에 제 2 포토 레지스트(P/R2)를 도포한다.
- <49> 도 3c에 도시한 바와 같이, 데이터 금속층(36) 위에 제 2 마스크(하프-톤 마스크)를 이용한 노광 및 현상 공정으로 데이터 라인 패턴용 제 2 포토 레지스트(P/R2) 패턴을 형성한다.
- <50> 상기 제 2 마스크(하프-톤 마스크)는 데이터 라인에 해당되는 부분은 빛이 완전히 차단되고 박막트랜지스터의 채널 영역에 해당되는 부분은 빛이 일정량 조사되도록 형성된다. 따라서, 현상된 제 2 포토 레지스트(P/R2) 패턴은 데이터 라인 형성 영역 및 소오스/드레인전극 형성영역에는 증착된 두께를 유지하고 상기 박막트랜지스터의 채널 영역은 상대적으로 두께가 얇게 형성된다.
- <51> 이어서, 제 2 포토 레지스트(P/R2) 패턴을 이용하여 데이터 금속층(36), 제 2, 제 1 반도체층(35,34)을 습식 또는 건식 공정으로 제거한다.

- <52> 도 3d에 도시한 바와 같이, 상기 제 2 포토 레지스트(P/R2) 패턴을 애싱(ashing)하여 상기 박막트랜지스터의 채널 영역에 해당되는 상기 제 2 포토 레지스트를 제거한다. 이때, 상기 제 2 포토 레지스트(P/R2) 패턴은 전체적으로 두께가 얇아지고 그 폭도 감소된다. 따라서, 이후 형성되는 데이터 라인과 소오스/드레인 전극의 폭이 달라지게 된다.
- <53> 도 3e에 도시한 바와 같이 상기 애싱(ashing)된 제 2 포토 레지스트(P/R2) 패턴을 마스크로 이용하여 박막트랜지스터의 채널 영역에 해당되는 상기 데이터 금속층(36) 및 상기 제 2 반도체층(35)을 식각하여, 데이터 라인(36a) 및 소오스 전극(36b)과 드레인 전극(36c)을 구비한 박막트랜지스터를 형성한 다음, 상기 제 2 포토 레지스트(P/R2)를 박리한다.
- <54> 이에 따라, 채널영역의 제 1 반도체층(34)이 노출되어 소오스 전극(36b)과 드레인 전극(36c)이 분리되고, 제 1 반도체층(34)으로 구성된 액티브층(34a)과, 채널영역을 제외한 액티브층(34a)상에 오믹 콘택층(35a)이 형성된다.
- <55> 상기에서 게이트 절연막(33)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다.
- <56> 데이터 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.
- <57> 도 3f에 도시된 바와 같이, 데이터 라인(36a)을 포함한 하부기판(31) 전면에 PECVD 등의 증착방법으로 보호막(37)을 형성한다.

- <58> 상기 보호막(37)위에 제 3 포토 레지스트(P/R3)를 도포한다. 그리고, 제 3 마스크를 이용한 노광 및 현상공정으로 상기 드레인 전극(36c)의 일부가 노출되도록 상기 제 3 포토 레지스트(P/R3) 패턴을 형성하고, 상기 제 3 포토 레지스트 패턴을 마스크로 이용하여 상기 보호막(37)을 선택적으로 식각하여 상기 드레인 전극(36c)에 콘택홀(38)(도 1 참조)을 형성한다. 그리고 제 3 포토 레지스트(P/R3)를 박리한다.
- <59> 보호막(37)의 재료로는 게이트 절연막(33)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.
- <60> 도 3g에 도시한 바와 같이, 콘택홀(38)을 통해 상기 드레인 전극(36c)과 접속되도록 전면에 투명전극 물질을 증착한다. 그리고, 상기 투명전극 물질위에 제 4 포토 레지스트(P/R4)를 도포하고, 제 4 마스크를 이용하여 노광 및 현상공정으로 화소전극을 패터닝할 제 4 포토 레지스트(P/R4) 패턴을 형성한다.
- <61> 상기 제 4 포토 레지스트 패턴을 마스크로 이용하여 상기 투명전극 물질을 선택적으로 제거하여, 도 3h에 도시한 바와 같이, 화소 영역에 화소 전극(39)을 형성한다. 그리고 제 4 포토 레지스트를 박리한다.
- <62> 화소전극(39)은 콘택홀(38)(도 1 참조)을 통해 드레인 전극(36c)과 전기적으로 접속된다.
- <63> 이와 같은 공정에 의해서 액티브층(34a)이 데이터라인(36a) 보다 더 넓은 선포를 갖고 형성된다.

- <64> 상기와 같은 방법에 의해 제조한 종래의 액정표시소자는 데이터라인(36a) 및 소오스/드레인전극(36b, 36c)의 선폭보다 액티브층(34a)의 선폭이 더 넓게 형성된다.
- <65> 상기와 같은 방법에 의해서 하부기판(박막트랜지스터 어레이 기판)을 제작한 후에, 액정 분자의 배향을 위한 배향처리 공정과, 씰링 및 스페이싱 공정과, 상, 하부기판 합착공정과, 스크라이브&브레이크 공정을 진행하여 하부기판을 셀 단위로 분리하여 액정 표시장치의 액정패널을 완성한다.
- <66> 이와 같이 제조된 액정표시장치의 대부분은 외부에서 들어오는 광의 양을 조절하여 화상을 표시하는 수광성 장치이기 때문에 액정패널에 광을 조사하기 위한 별도의 광원, 즉 백 라이트(Back Light)가 반드시 필요하다.
- <67> 그러나, 상기와 같이 백 라이트로부터 인가되는 광을 받으면 상기 액정패널의 비정질 실리콘층으로 형성된 액티브층은 그 도전성이 변화된다. (이것은 반도체층이 빛과 열을 받으면 도전성이 변화되는 특성에 따른 것이다.)
- <68> 즉, 백 라이트가 온(OFF)되었을 때는 비정질 실리콘층 상태로 존재하던 액티브층은, 백 라이트(ON)되면 백 라이트의 광에 의해 비정질 실리콘층이 메탈화된다.
- <69> 상기와 같이 백 라이트가 구동되면 비정질 실리콘층이 메탈화되고, 이에 따라서 비정질 실리콘층 상부에 위치한 데이터라인(36a)에도 영향이 미치게 된다.
- <70> 또한, 데이터라인(36a)과 화소전극(39)은 인접되어 있고, 그 사이에는 커패시턴스가 존재하는데, 비정질 실리콘층이 메탈화 됨에 따라, 인버터의 온/오프에 따른 백 라이

트의 온/오프시 데이터라인(36a)과 화소전극(39)간의 커패시턴스값에도 차이가 발생하게 된다.

<71> 즉, $C_{dp}(\text{백 라이트 온(ON)}) > C_{dp}(\text{백라이트 오프(OFF)})$ 와 같은 데이터라인(36a)과 화소전극(39)간의 커패시턴스값에 차이가 발생하여 화소전극(39)의 차아지(charge)가 변해진다.

<72> 또한, 상기 백 라이트는 인버터(inverter) 회로로부터 신호를 입력받아 구동할 수도 있는데, 이때 인버터의 온/오프에 따른 백 라이트의 온/오프시에도 상기와 같은 비정질 실리콘층이 메탈화되어 데이터라인과 화소전극간의 커패시턴스값에 차이가 발생하여 화소전극의 차아지(charge)가 변화된다.

<73> 결과적으로, 종래의 4마스크 공정을 이용한 액정표시소자는 백 라이트의 온/오프 구간에 따른 화소전극(39)의 전위 변화로 휘도가 변하게 되어, 화면에 물결모양의 줄이 계속 상부로 이동하는 웨이비 노이즈(wavy noise) 현상이 발생하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<74> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 백 라이트의 온/오프 구간에 따른 화소전극과 데이터라인간의 커패시턴스값이 변화되는 것을 방지하여 웨이비 노이즈(wavy noise) 발생을 방지하여 화질을 개선하기에 알맞은 액정표시소자 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<75> 상기와 같은 목적을 달성하기 위한 본 발명의 액정표시소자는 절연기판상에 일방향으로 형성된 게이트라인과; 상기 게이트라인과 이격되어 상기 게이트라인에 수직인 방향으로

으로 형성된 제 1 데이터라인과; 상기 제 1 데이터라인과 동일선상에 상기 게이트라인과 교차 배열되는 제 2 데이터라인과; 상기 게이트라인과 상기 제 2 데이터라인의 교차 부분에 형성된 박막트랜지스터와; 상기 제 2 데이터라인, 상기 박막트랜지스터의 소오스전극, 드레인전극의 하부에 형성된 액티브층과; 상기 제 1, 제 2 데이터라인을 전기적으로 연결하며, 상기 게이트라인과 교차 배열되어 화소영역을 정의하는 제 3 데이터라인과; 상기 화소영역에 형성된 화소전극을 포함함을 특징으로 한다.

- <76> 상기 제 1 데이터라인은 상기 게이트라인과 동일층상에 동일물질로 형성된다.
- <77> 상기 게이트라인과 상기 제 1 데이터라인은 크롬, 알루미늄, 알루미늄 합금(AlNd), 탄탈륨, 몰리브덴(Mo)과 같은 도전성 금속막 중 적어도 하나로 구성된다.
- <78> 상기 제 1 데이터라인은 상기 화소전극과 인접하여 형성된다.
- <79> 상기 제 2 데이터라인을 포함한 상기 절연기판 전면에 보호막이 더 구비된다.
- <80> 상기 보호막에는 상기 제 1 데이터라인 양측 상부와, 상기 제 2 데이터라인의 양측 상부와, 상기 드레인전극의 일영역상에 각각 제 1, 제 2, 제 3 콘택홀이 형성된다.
- <81> 상기 제 1, 제 2 콘택홀을 통해 상기 제 3 데이터라인은 상기 제 1 데이터라인과 상기 제 2 데이터라인을 전기적으로 연결한다.
- <82> 상기 박막트랜지스터는 상기 제 2 데이터라인에서 돌출된 소오스전극과; 상기 소오스전극에서 일정간격 이격되어 형성된 드레인전극과; 상기 게이트라인의 일측에서 돌출된 게이트전극을 포함하여 구성된다.
- <83> 상기 소오스전극은 상기 게이트전극의 일측 상부에 오버랩되며, 'C' 형상의 홈을 갖는다.

- <84> 상기 드레인전극은 상기 게이트전극의 타측 상부에 오버랩되며, 상기 'C' 형상의 홈 안쪽에 상기 소오스전극과 소정간격 이격되어 형성된다.
- <85> 채널영역을 제외한 상기 제 2 데이터라인, 소오스전극, 드레인전극 하부의 상기 액티브층상에는 오믹 콘택층이 더 형성된다.
- <86> 상기 화소전극은 상기 제 3 데이터라인과 동일층상에 형성된다.
- <87> 상기 화소전극과 상기 제 3 데이터라인은 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)의 투명전극 물질로 형성된다.
- <88> 상기 제 2 데이터라인은 비정질 실리콘층과 n+ 비정질 실리콘층 및 금속층이 적층된 구조이다.
- <89> 상기와 같은 구성을 갖는 본 발명의 액정표시소자의 제조방법은 절연기판상에 게이트전극을 구비한 게이트라인과, 상기 게이트라인과 이격되어 상기 게이트라인에 수직인 방향으로 제 1 데이터라인을 형성하는 단계; 상기 게이트라인과 제 1 데이터라인을 포함한 전면에 게이트절연막을 형성하고 반도체층 및 도전막을 차례로 증착하는 단계; 상기 반도체층 및 금속층을 패터닝하여 상기 제 1 데이터라인과 동일선상에 상기 게이트라인과 교차 배열되도록 소오스/드레인전극을 구비한 제 2 데이터라인을 형성하는 단계; 상기 제 1, 제 2 데이터라인을 전기적으로 연결하도록 상기 제 1, 제 2 데이터라인 상측에 화소영역을 정의하도록 제 3 데이터라인을 형성하는 단계; 상기 화소영역에 화소전극을 형성하는 단계를 포함함을 특징으로 한다.
- <90> 상기 제 1 데이터라인은 상기 게이트라인과 동일층상에 동시에 형성한다.

- <91> 상기 게이트라인과 상기 제 1 데이터라인은 크롬, 알루미늄, 알루미늄 합금(AlNd), 탄탈륨, 몰리브덴(Mo)과 같은 도전성 금속막 중 적어도 한층으로 형성한다.
- <92> 상기 제 1 데이터라인은 상기 화소전극과 인접하도록 형성한다.
- <93> 상기 소오스전극, 드레인전극 및 상기 제 2 데이터라인은, 상기 게이트절연막상에 제 1, 제 2 반도체층 및 도전막을 차례로 증착하는 단계; 상기 채널영역 상부에 회절 노광부를 갖는 하프-톤 마스크를 이용하여 상기 도전막상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용하여 상기 도전막, 상기 제 2, 제 1 반도체층을 식각하는 단계; 상기 채널영역상의 상기 도전막이 드러나도록 포토레지스트 패턴을 애싱 공정으로 제거하는 단계; 상기 채널영역의 상기 제 1 반도체층이 드러나도록 상기 도전막 및 상기 제 2 반도체층을 식각하여 분리된 상기 소오스전극과 상기 드레인전극 및 상기 제 2 데이터라인을 형성하고, 상기 채널영역을 제외한 상기 액티브층상에 오믹 콘택층을 형성하는 단계; 상기 포토레지스트 패턴을 제거하는 단계를 포함한다.
- <94> 상기 소오스전극은 상기 게이트전극의 일측 상부에 오버랩되며, 'C' 형상의 홈을 갖도록 형성한다.
- <95> 상기 드레인전극은 상기 게이트전극의 타측 상부에 오버랩되며, 상기 'C' 형상의 홈 안쪽에 상기 소오스전극과 소정간격 이격되도록 형성한다.
- <96> 상기 제 2 데이터라인을 포함한 상기 절연기판 전면에 보호막을 더 형성한다.
- <97> 상기 보호막은 실리콘질화막 또는 실리콘산화막을 포함하는 무기절연물질과, 벤조사이클로부텐(Benzocyclobutene:BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질중 선택된 하나로 형성한다.

- <98> 상기 보호막에는 상기 제 1 데이터라인 양측 상부와, 상기 제 2 데이터라인의 양측 상부 및 상기 드레인전극의 일영역상에 각각 제 1, 제 2, 제 3 콘택홀을 형성한다.
- <99> 상기 제 1, 제 2 콘택홀을 통해 상기 제 3 데이터라인은 상기 제 1 데이터라인과 상기 제 2 데이터라인을 전기적으로 연결한다.
- <100> 상기 화소전극은 상기 제 3 데이터라인과 동시에 동일층상에 형성한다.
- <101> 상기 화소전극과 상기 제 3 데이터라인은 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)의 투명전극 물질로 형성한다.
- <102> 이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시소자 및 그의 제조방법에 대하여 설명하기로 한다.
- <103> 먼저, 본 발명에 따른 액정표시소자의 구성에 대하여 설명하면 다음과 같다.
- <104> 도 4는 본 발명의 액정표시소자의 단위 화소의 확대 평면도이고, 도 5는 도 4의 III-III'와 IV-IV' 선상에서의 본 발명에 따른 액정표시소자의 구조단면도이다.
- <105> 본 발명에 따른 액정표시소자는, 도 4와 도 5에 도시한 바와 같이, 하부기판(61)상에 일방향으로 게이트라인(62)이 형성되고, 상기 게이트라인(62)의 일측으로 게이트전극(62a)이 돌출형성된다. 그리고 상기 게이트라인(62)과 동일층에 형성되며 게이트라인(62)과 이격되어 상기 게이트라인(62)에 수직한 방향으로 제 1 데이터라인(62b)이 형성된다.

- <106> 그리고 상기 게이트라인(62)을 포함한 하부기판(61) 상에 게이트절연막(63)이 형성되어 있고, 상기 게이트 절연막(63)위에 상기 제 1 데이터라인(62b) 사이에 상기 게이트라인(62)과 교차하도록 제 2 데이터라인(66a)이 형성되어 있다.
- <107> 그리고 상기 게이트라인(62)과 상기 제 2 데이터라인(66a)의 교차 부분에 박막트랜지스터가 형성되어 있다.
- <108> 좀더 자세하게는, 상기 박막트랜지스터는 상기 제 2 데이터라인(66a)에서 돌출된 소오스전극(66b)과, 상기 소오스전극(66b)과 소정 간격 이격된 드레인전극(66c)과, 상기 게이트라인(62)의 일측에서 돌출된 게이트전극(62a)으로 구성된다.
- <109> 상기 소오스전극(66b)은 'C' 형상의 홈을 갖도록 돌출되어 있고, 상기 드레인전극(66c)은 상기 'C' 형상의 홈 안쪽에 상기 소오스전극(66b)과 소정간격 이격되어 있으며, 상기 소오스전극(66b)과 드레인전극(66c) 사이에 채널영역이 'C' 형상으로 형성되어 있다.
- <110> 상기에서 평면상으로 상기 제 1 데이터라인(62b)은 상기 제 2 데이터라인(66a)과 동일선상에 형성되며 제 2 데이터라인(66a)과 소정간격 이격되어 있다.
- <111> 또한, 제 1 데이터라인(62b)은 평면상으로 상기 제 2 데이터라인(66a)의 상/하측 부분에 형성된다.
- <112> 상기 제 1 데이터라인(62b)은 후술될 화소전극(69)과 인접하고 있다.
- <113> 상기 게이트전극(62a)의 일영역 상부를 포함한 게이트절연막(63) 상에 액티브층(64a)이 형성되어 있는데, 이때 액티브층(64a)은 박막 트랜지스터 영역 및 제 2 데이터

라인(66a) 하부에 제 2 데이터라인(66a)보다 넓은 폭으로 형성되어 있으며, 비정질 실리콘층으로 구성되어 있다.

<114> 또한, 채널영역을 제외한 제 2 데이터라인(66a), 소오스전극(66b), 드레인전극(66c) 하부의 액티브층(64a) 상에는 n+ 비정질 실리콘으로 구성된 오믹 콘택층(65a)이 형성되어 있다.

<115> 그리고 제 2 데이터라인(66a)을 포함한 하부기판(61) 전면에 보호막(67)이 형성되어 있다.

<116> 상기 보호막(67)은 제 1 데이터라인(62b) 양측과 제 2 데이터라인(66a)의 양측 및 드레인전극(66c)의 일영역상이 드러나도록 각각 제 1 내지 제 3 콘택홀(68a, 68b, 68c)이 형성되어 있다.

<117> 제 3 콘택홀(68c)을 통하여 상기 드레인전극(66c)과 접촉하도록 화소영역에 화소전극(69)이 형성되어 있고, 제 1, 제 2콘택홀(68a, 68b)을 통하여 제 1 데이터라인(62b)과 제 2 데이터라인(66a)이 전기적으로 연결되도록 제 3 데이터라인(69a)이 게이트라인(62)과 직교하는 방향으로 화소전극(69)과 동일층상에 배열되어 있다.

<118> 제 3 데이터라인(69a)은 게이트라인(62)과 직교하여 화소영역을 정의한다.

<119> 그리고 상기 화소전극(69)과 제 3 데이터라인(69a)은 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)과 같은 투명전극 물질로 구성되어 있다.

<120> 상기에서와 같이 제 1 데이터라인(62b)과 제 2 데이터라인(66a)은 제 1, 제 2 콘택홀(68a, 68b)을 통해 제 3 데이터라인(69a)과 서로 연결되므로, 상기 제 1 데이터라인

(62b)과 제 2 데이터라인(66a) 및 제 3 데이터라인(69a)이 조합되어 실질적인 데이터라인으로 작용한다.

<121> 상기에서와 같이 화소전극(69)과 인접한 부분의 제 1 데이터라인(62b) 하측에는 액티브층이 형성되어 있지 않고 금속, 투명도전 물질로 구성된 제 1, 제 3 데이터라인(62b, 69a)이 형성되어 있으므로, 백 라이트 구동을 위한 인버터의 온/오프(ON/OFF) 동작시에 화소전극(69)과 이에 인접한 데이터라인(제 1, 제 3 데이터라인) 사이의 커패시턴스값(Cdp)이 변화되는 것을 방지할 수 있다.

<122> 상기 구성을 갖는 본 발명의 액정표시소자는 4마스크를 이용하여 제조하는데, 이하에서는 4개의 마스크를 이용한 액정표시소자의 제조방법에 대하여 설명하기로 한다.

<123> 도 6a 내지 도 6h는 도 4의 III-III'와 IV-IV' 선상에서의 본 발명에 따른 액정표시소자의 제조방법을 나타낸 공정단면도이다.

<124> 본 발명에 따른 액정표시소자의 제조방법은 도 6a에 도시한 바와 같이 하부기판(61)상에 크롬, 알루미늄, 알루미늄 합금(AINd), 탄탈륨, 몰리브덴(Mo)등의 게이트 금속층 적어도 하나를 증착하고, 상기 게이트 금속위에 제 1 포토 레지스트(P/R1)를 도포하고, 이어서 제1마스크를 이용하여 노광 및 현상하여 게이트라인 및 제 1 데이터라인을 형성하기 위한 제1포토 레지스트(P/R1) 패턴을 형성한다.

<125> 그리고 제1포토 레지스트(P/R1) 패턴을 마스크로 이용하여 게이트 금속을 선택적으로 제거하여 일 방향으로 연장된 게이트라인(62) 및 게이트라인(62)의 일측으로 돌출된 게이트전극(62a)과, 상기 게이트라인(62)과는 일정간격 이격되어 상기 게이트라인(62)에

수직한 방향으로 연장되는 제 1 데이터라인(62b)을 동시에 형성한다. 이후에 제1포토 레지스트(P/R1) 패턴을 박리한다.

<126> 이때 제 1 데이터라인(62b)은 평면상으로 차후에 형성될 제 2 데이터라인과 동일 선상의 상측과 하측에 소정간격 이격되어 위치한다.

<127> 상기 게이트 금속은 단일한 층으로 형성하는 대신, 알루미늄이나 알루미늄-네오디뮴(AlNd)합금으로 이루어진 하부층과 몰리브덴(Mo)으로 이루어진 상부층의 두층으로 형성하거나, 크롬으로 이루어진 하부층과 알루미늄-네오디뮴 합금으로 이루어진 상부층의 이중층으로 형성할 수도 있다.

<128> 이와 같이 이중층으로 형성하면, 상기 게이트라인 및 제 1 데이터라인의 하부층으로 사용된 알루미늄계 금속의 저항이 작기 때문에 게이트라인 및 제 1 데이터라인에 흐르는 신호의 RC 딜레이를 줄일 수 있고, 상부층으로 사용된 몰리브덴이 화학약품에 대한 내식성이 강하기 때문에 식각용액에 의해 침식되어 단선불량이 발생하는 문제를 예방할 수 있다는 장점이 있다.

<129> 도 6b에 도시한 바와 같이, 게이트라인(62)과 제 1 데이터라인(62b)을 포함한 하부기판(61) 전면에 게이트절연막(63)을 형성한다.

<130> 이후에 게이트절연막(63)상에 제 1, 제 2 반도체층(64, 65)을 차례로 증착한 후에, 하부기판(61) 전면에 크롬, 탄탈륨, 티타늄등의 데이터 금속층(66)을 증착한다.

<131> 이때 제 1, 제 2 반도체층은 비정질 실리콘층과 n+ 비정질 실리콘층으로 구성한다.

<132> 이후에 데이터 금속층(66) 위에 제2포토 레지스트(P/R2)를 도포한다.

- <133> 도 6c에 도시한 바와 같이, 데이터 금속층(66) 위에 채널영역 상부에 회절 노광부를 갖는 제 2 마스크(하프-톤 마스크)를 이용한 노광 및 현상 공정으로 제 2 데이터 라인 및 박막 트랜지스터의 액티브층 패턴용 제 2 포토 레지스트(P/R2) 패턴을 형성한다.
- <134> 상기 제 2 마스크(하프-톤 마스크)는 제 2 데이터 라인에 해당되는 부분은 빛이 완전히 차단되고 박막트랜지스터의 채널 영역에 해당되는 부분은 빛이 일정량 조사되도록 형성된다. 따라서, 현상된 제 2 포토 레지스트(P/R2) 패턴은 제 2 데이터 라인 형성영역에는 증착된 두께를 유지하고 상기 박막트랜지스터의 채널영역은 상대적으로 두께가 얇게 형성된다.
- <135> 이어서, 제 2 포토레지스트(P/R2) 패턴을 이용하여 데이터 금속층(66), 제 2, 제 1 반도체층(65, 64)을 습식 또는 건식 공정으로 제거한다.
- <136> 이때 제 1 데이터라인(62b) 상부의 데이터 금속층(66)은 제거된다.
- <137> 도 6d에 도시한 바와 같이, 상기 제 2 포토 레지스트(P/R2) 패턴을 애싱(ashing)하여 상기 박막트랜지스터의 채널 영역에 해당되는 상기 제 2 포토 레지스트(P/R2)를 제거한다.
- <138> 이때, 상기 제2포토 레지스트(P/R2) 패턴은 전체적으로 두께가 얇아지고 그 폭도 감소된다. 따라서 이후에 형성되는 데이터 라인과 소오스/드레인 전극의 폭이 달라지게 된다.
- <139> 도 6e에 도시한 바와 같이, 애싱된 제2포토 레지스트(P/R2) 패턴을 마스크로 이용하여 박막트랜지스터의 채널영역에 해당되는 상기 데이터 금속층(66)과 상기 제2반도체

층(66)을 식각하여, 제2데이터라인(66a), 소오스 전극(66b) 및 드레인 전극(66c)을 구비한 박막트랜지스터를 형성한 다음, 상기 제2포토 레지스트(P/R2) 패턴을 박리한다.

- <140> 이에 따라, 소오스 전극(66b)과 드레인전극(66c)이 분리되고, 채널영역의 제1반도체층(64)이 노출되어 제1반도체층(64)으로 구성된 액티브층(64a)이 형성되며, 채널영역을 제외한 액티브층(34a)상에 오믹 콘택층(65a)이 형성된다.
- <141> 게이트 절연막(63)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다.
- <142> 상기 데이터 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 또는 몰리브덴 합금(Mo alloy) 등이 이용된다.
- <143> 상기에서 소오스전극(66b)은 게이트전극(62a) 일측 상부에 오버랩되어 'C' 형상의 홈을 갖도록 형성하고, 드레인전극(66c)은 게이트전극(62a)의 타측 상부에 오버랩되어 상기 'C' 형상의 홈 안쪽에 소오스전극(66b)과 소정간격 이격되도록 형성한다.
- <144> 상기 공정에 의해서 소오스전극(66b)과 드레인전극(66c) 사이에 존재하는 채널영역은 'C' 형상을 갖는다.
- <145> 도 6f에 도시한 바와 같이 제2데이터라인(66a)을 포함한 하부기관(61) 전면에는 PECVD 등의 증착방법으로 보호막(67)을 형성한다.
- <146> 상기 보호막(67)은 실리콘질화막 또는 실리콘산화막을 포함하는 무기절연물질과 벤조사이클로부텐(Benzocyclobutene:BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질중 선택된 하나를 증착하여 형성한다.

- <147> 이후에 보호막(67)상에 제3포토 레지스트(P/R3)를 도포한다. 그리고 제3마스크를 이용한 노광 및 현상공정으로 상기 제 1 데이터라인(62b)의 양측 및 제 2 데이터라인(66a)의 양측과 상기 드레인전극(66c)의 일부가 노출되도록 상기 제3포토 레지스트(P/R3) 패턴을 형성하고, 상기 제3포토 레지스트(P/R3) 패턴을 마스크로 이용하여 상기 보호막(37) 및 게이트절연막(63)을 선택적으로 식각하여, 상기 제1데이터라인(62b)의 양측 상부에 제1콘택홀(68a), 제2데이터라인(66a)의 양측 상부에 제2콘택홀(68b)과, 드레인전극(66c)의 일영역에 제3콘택홀(68c)을 형성한다. 그리고 제3포토 레지스트(P/R3) 패턴을 박리한다.
- <148> 도 6g에 도시한 바와 같이, 제1콘택홀(68a)을 통해 제1데이터라인(62b)과 콘택되고, 상기 제2콘택홀(68b)을 통해 제2데이터라인(66a)과 콘택되고, 제3콘택홀(68c)을 통해 드레인전극(66c)과 콘택되도록 기판의 전면에 투명전극 물질을 증착한다. 그리고 투명전극 물질위에 제4포토 레지스트(P/R4)를 도포하고, 제4마스크를 이용하여 노광 및 현상공정으로 화소전극 및 제3데이터라인을 패터닝할 제4포토 레지스트(P/R4) 패턴을 형성한다.
- <149> 이후에 상기 제4포토 레지스트(P/R4) 패턴을 마스크로 이용하여 상기 투명전극 물질을 선택적으로 제거하여 도 6h에 도시한 바와 같이 화소영역에 화소전극(69)을 형성함과 동시에 제 1, 제 2 콘택홀(68a, 68b)을 통해 제1데이터라인(62b)과 제2데이터라인(66a)과 콘택되도록 제3데이터라인(69a)을 형성한다.
- <150> 그리고 제4포토 레지스트(P/R4) 패턴을 박리한다.
- <151> 이때 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

- <152> 이때 제3데이터라인(69a)은 제1, 제2콘택홀(68a, 68b)을 통해 제1데이터라인(62b)과 제2데이터라인(66a)을 연결해주는 역할을 한다.
- <153> 상기에서 신호를 전달해 주기 위한 실질적인 데이터라인은 제 1 내지 제 3 데이터라인(62b, 66a, 69a)이 조합되어 구성된다.
- <154> 상기와 같이 비정질 실리콘층으로 구성된 액티브층은 화소전극(69)과 인접한 제1, 제3데이터라인(62b, 69a)의 하부에는 형성하지 않고, 화소전극(69)과 인접하지 않은 제2데이터라인(66a)과 소오스/드레인전극(66b, 66c) 하부에만 형성한다.
- <155> 즉, 화소전극(69)과 인접된 제1, 제3데이터라인(62b, 69a)의 하부에는 비정질 실리콘층으로 구성된 액티브층이 형성되지 않는다.
- <156> 상기와 같은 방법에 의해서 하부기판(박막트랜지스터 어레이 기판)을 제작한 후에, 액정 분자의 배향을 위한 배향처리 공정과, 셀링 및 스페이싱 공정과, 상, 하부기판 합착공정과, 스크라이브&브레이크 공정을 진행하여 셀 단위로 분리된 액정표시장치의 액정패널을 완성한다.
- <157> 이와 같이 제조된 액정표시장치의 대부분은 외부에서 들어오는 광의 양을 조절하여 화상을 표시하는 수광성 장치이기 때문에 액정패널에 광을 조사하기 위한 별도의 광원, 즉 백 라이트(Back Light)가 반드시 필요하다.
- <158> 상기 백 라이트는 일반적으로 인버터(inverter)를 통해 구동 신호를 입력 받아 광을 액정패널로 발산한다.
- <159> 상기와 같이 화소전극(69)과 인접된 제 1, 제 3 데이터라인(62b, 69a)의 하부에는 비정질 실리콘층으로 구성된 액티브층을 형성하지 않기 때문에, 인버터가 온(ON)됨에 따

라 백 라이트에서 광이 발생하여 비정질 실리콘층으로 구성된 액티브층(64a)이 메탈화되더라도 화소전극에는 영향을 미치지 않는다.

<160> 상술한 바와 같이, 인버터의 온/오프(ON/OFF)에 따른 백 라이트의 온/오프시 화소전극과 데이터라인간의 커패시턴스값이 변화되는 현상이 발생하는 것을 방지할 수 있다.

<161> 본 발명은 상기 실시예에 한정되는 것이 아니라, 상기 실시예로부터 당업자라면 용이하게 도출할 수 있는 여러 가지 형태를 포함한다.

【발명의 효과】

<162> 상기와 같은 본 발명의 액정표시소자 및 그의 제조방법은 다음과 같은 효과가 있다.

<163> 화소전극과 인접한 제 1, 제 3 데이터라인의 하부에는 비정질 실리콘층으로 구성된 액티브층을 형성하지 않으므로써, 백 라이트 구동을 위한 인버터의 온/오프시에 화소전극과 데이터라인간의 커패시턴스값이 변화되는 것을 방지할 수 있다.

<164> 이에 의해서 웨이비 노이즈(wavy noise) 불량을 개선하여 화질을 향상시킬 수 있다.

【특허청구범위】

【청구항 1】

절연기판상에 일방향으로 형성된 게이트라인과;

상기 게이트라인과 이격되어 상기 게이트라인에 수직한 방향으로 형성된 제 1 데이터라인과;

상기 제 1 데이터라인과 동일선상에 상기 게이트라인과 교차 배열되는 제 2 데이터라인과;

상기 게이트라인과 상기 제 2 데이터라인의 교차 부분에 형성된 박막트랜지스터와;

상기 제 2 데이터라인, 상기 박막트랜지스터의 소오스전극, 드레인전극의 하부에 형성된 액티브층과;

상기 제 1, 제 2 데이터라인을 전기적으로 연결하며, 상기 게이트라인과 교차 배열되어 화소영역을 정의하는 제 3 데이터라인과;

상기 화소영역에 형성된 화소전극을 포함함을 특징으로 하는 액정표시소자.

【청구항 2】

제 1 항에 있어서,

상기 제 1 데이터라인은 상기 게이트라인과 동일층상에 동일물질로 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 3】

제 1 항에 있어서,

상기 게이트라인과 상기 제 1 데이터라인은 크롬, 알루미늄, 알루미늄 합금(AINd), 탄탈륨, 몰리브덴(Mo)과 같은 도전성 금속막 중 적어도 하나로 구성되는 것을 특징으로 하는 액정표시소자.

【청구항 4】

제 1 항에 있어서,

상기 제 1 데이터라인은 상기 화소전극과 인접하여 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 5】

제 1 항에 있어서,

상기 제 2 데이터라인을 포함한 상기 절연기판 전면에 보호막이 더 구비되는 것을 특징으로 하는 액정표시소자.

【청구항 6】

제 5 항에 있어서,

상기 보호막에는 상기 제 1 데이터라인 양측 상부와, 상기 제 2 데이터라인의 양측 상부와, 상기 드레인전극의 일영역상에 각각 제 1, 제 2, 제 3 콘택홀이 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 7】

제 1 항 또는 제 6 항에 있어서,

상기 제 1, 제 2 콘택홀을 통해 상기 제 3 데이터라인은 상기 제 1 데이터라인과 상기 제 2 데이터라인을 전기적으로 연결하는 것을 특징으로 하는 액정표시소자.

【청구항 8】

제 1 항에 있어서,

상기 박막트랜지스터는 상기 제 2 데이터라인에서 돌출된 소오스전극과;

상기 소오스전극에서 일정간격 이격되어 형성된 드레인전극과;

상기 게이트라인의 일측에서 돌출된 게이트전극을 포함하여 구성됨을 특징으로 하는 액정표시소자.

【청구항 9】

제 8 항에 있어서,

상기 소오스전극은 상기 게이트전극의 일측 상부에 오버랩되며, 'C' 형상의 홈을 갖는 것을 특징으로 하는 액정표시소자.

【청구항 10】

제 8 항에 있어서,

상기 드레인전극은 상기 게이트전극의 타측 상부에 오버랩되며, 상기 'C' 형상의 홈 안쪽에 상기 소오스전극과 소정간격 이격되어 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 11】

제 8 항에 있어서,

채널영역을 제외한 상기 제 2 데이터라인, 소오스전극, 드레인전극 하부의 상기 액티브층상에는 오믹 콘택층이 더 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 12】

제 1 항에 있어서,

상기 화소전극은 상기 제 3 데이터라인과 동일층상에 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 13】

제 12 항에 있어서,

상기 화소전극과 상기 제 3 데이터라인은 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)의 투명전극 물질로 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 14】

제 1 항에 있어서,

상기 제 2 데이터라인은 비정질 실리콘층과 n+ 비정질 실리콘층 및 금속층이 적층된 구조임을 특징으로 하는 액정표시소자.

【청구항 15】

절연기판상에 게이트전극을 구비한 게이트라인과, 상기 게이트라인과 이격되어 상기 게이트라인에 수직인 방향으로 제 1 데이터라인을 형성하는 단계;

상기 게이트라인과 제 1 데이터라인을 포함한 전면에 게이트절연막을 형성하고 반도체층 및 도전막을 차례로 증착하는 단계;

상기 반도체층 및 금속층을 패터닝하여 상기 제 1 데이터라인과 동일선상에 상기 게이트라인과 교차 배열되도록 소오스/드레인전극을 구비한 제 2 데이터라인을 형성하는 단계;

상기 제 1, 제 2 데이터라인을 전기적으로 연결하도록 상기 제 1, 제 2 데이터라인 상측에 화소영역을 정의하도록 제 3 데이터라인을 형성하는 단계;

상기 화소영역에 화소전극을 형성하는 단계를 포함함을 특징으로 하는 액정표시소자의 제조방법.

【청구항 16】

제 15 항에 있어서,

상기 제 1 데이터라인은 상기 게이트라인과 동일층상에 동시에 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 17】

제 15 항에 있어서,

상기 게이트라인과 상기 제 1 데이터라인은 크롬, 알루미늄, 알루미늄 합금(AINd), 탄탈륨, 몰리브덴(Mo)과 같은 도전성 금속막 중 적어도 한층으로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 18】

제 15 항에 있어서,

상기 제 1 데이터라인은 상기 화소전극과 인접하도록 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 19】

제 15 항에 있어서,

상기 소오스전극, 드레인전극 및 상기 제 2 데이터라인은,

상기 게이트절연막상에 제 1, 제 2 반도체층 및 도전막을 차례로 증착하는 단계;

상기 채널영역 상부에 회절 노광부를 갖는 하프-톤 마스크를 이용하여 상기 도전막상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 이용하여 상기 도전막, 상기 제 2, 제 1 반도체층을 식각하는 단계;

상기 채널영역상의 상기 도전막이 드러나도록 포토레지스트 패턴을 애싱공정으로 제거하는 단계;

상기 채널영역의 상기 제 1 반도체층이 드러나도록 상기 도전막 및 상기 제 2 반도체층을 식각하여 분리된 상기 소오스전극과 상기 드레인전극 및 상기 제 2 데이터라인을 형성하고, 상기 채널영역을 제외한 상기 액티브층상에 오믹 콘택층을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계를 포함함을 특징으로 하는 액정표시소자의 제조방법.

【청구항 20】

제 19 항에 있어서,

상기 소오스전극은 상기 게이트전극의 일측 상부에 오버랩되며, 'C' 형상의 홈을 갖도록 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 21】

제 19 항에 있어서,

상기 드레인전극은 상기 게이트전극의 타측 상부에 오버랩되며, 상기 'C' 형상의 홈 안쪽에 상기 소오스전극과 소정간격 이격되도록 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 22】

제 15 항에 있어서,

상기 제 2 데이터라인을 포함한 상기 절연기판 전면에 보호막을 더 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 보호막은 실리콘질화막 또는 실리콘산화막을 포함하는 무기절연물질과, 벤조사이클로부텐(Benzocyclobutene:BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질중 선택된 하나로 형성함을 특징으로 하는 액정표시소자의 제조방법.

【청구항 24】

제 22 항에 있어서,

상기 보호막에는 상기 제 1 데이터라인 양측 상부와, 상기 제 2 데이터라인의 양측 상부 및 상기 드레인전극의 일영역상에 각각 제 1, 제 2, 제 3 콘택홀을 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【청구항 25】

제 24 항에 있어서,

상기 제 1, 제 2 콘택홀을 통해 상기 제 3 데이터라인은 상기 제 1 데이터라인과 상기 제 2 데이터라인을 전기적으로 연결하는 것을 특징으로 하는 액정표시소자의 제조 방법.

【청구항 26】

제 15 항에 있어서,

상기 화소전극은 상기 제 3 데이터라인과 동시에 동일층상에 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

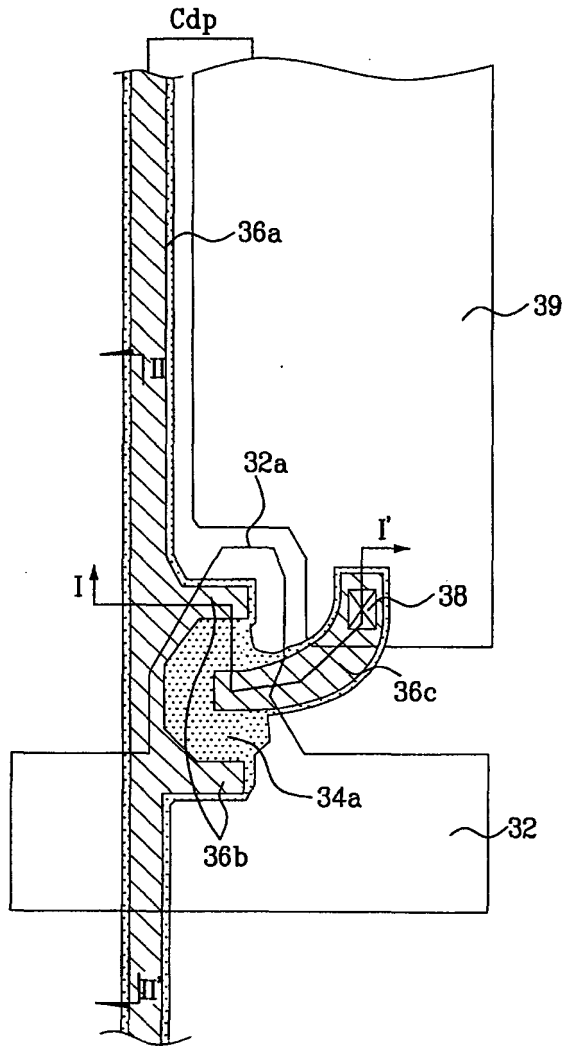
【청구항 27】

제 15 항에 있어서,

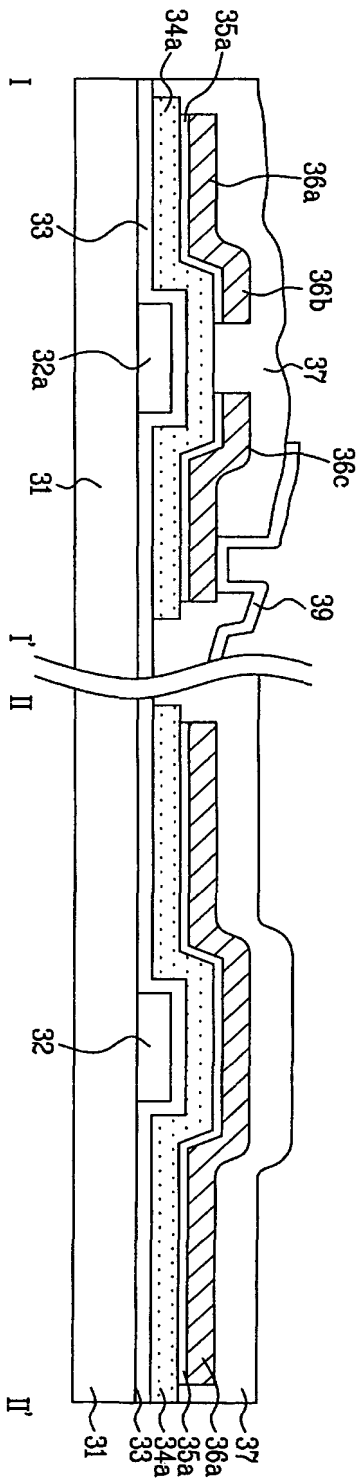
상기 화소전극과 상기 제 3 데이터라인은 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)의 투명전극 물질로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

【도면】

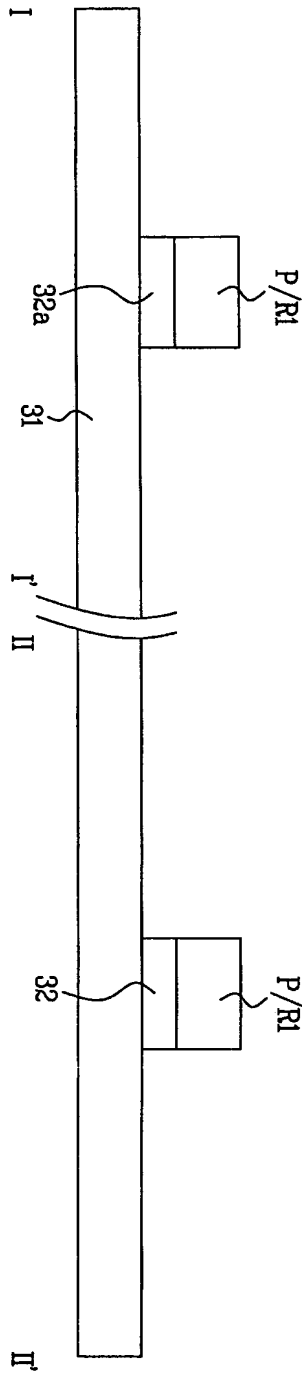
【도 1】



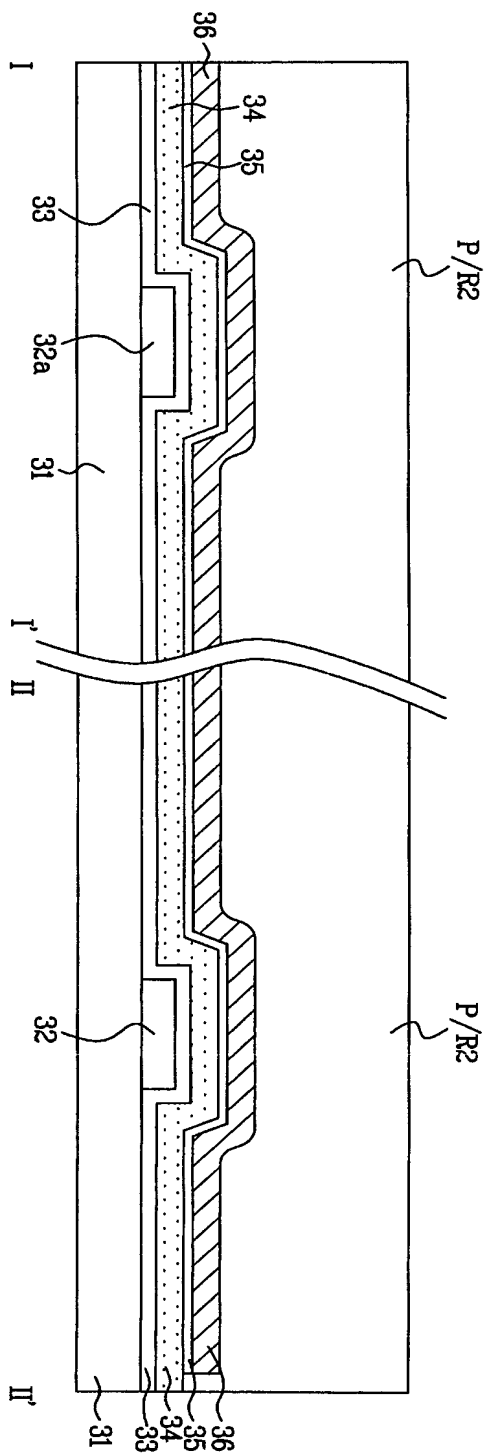
【도 2】



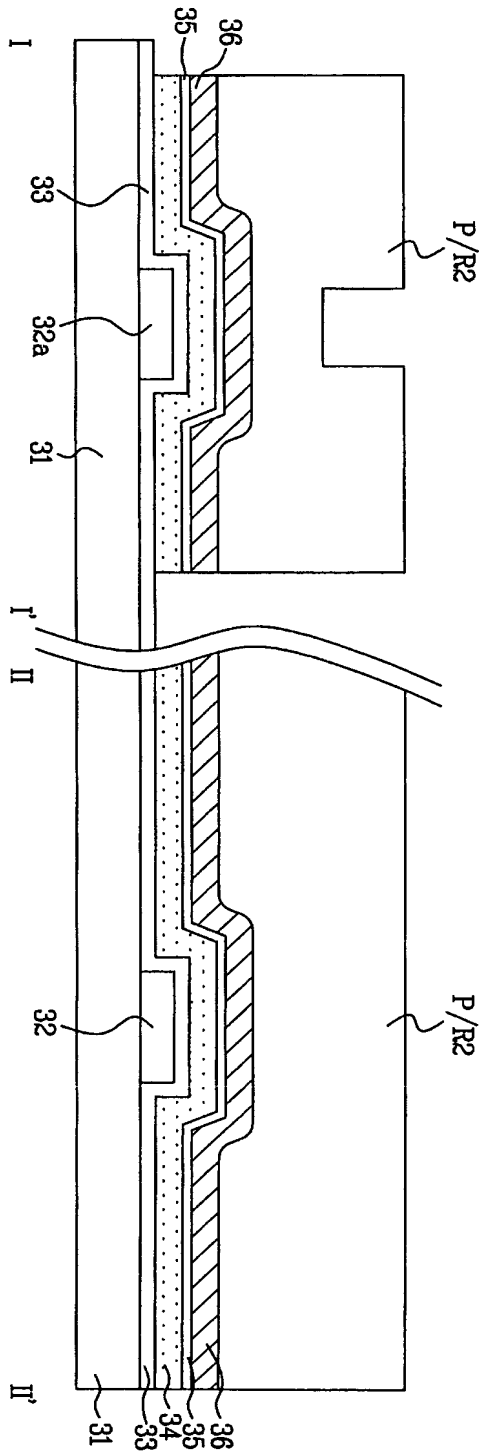
【도 3a】



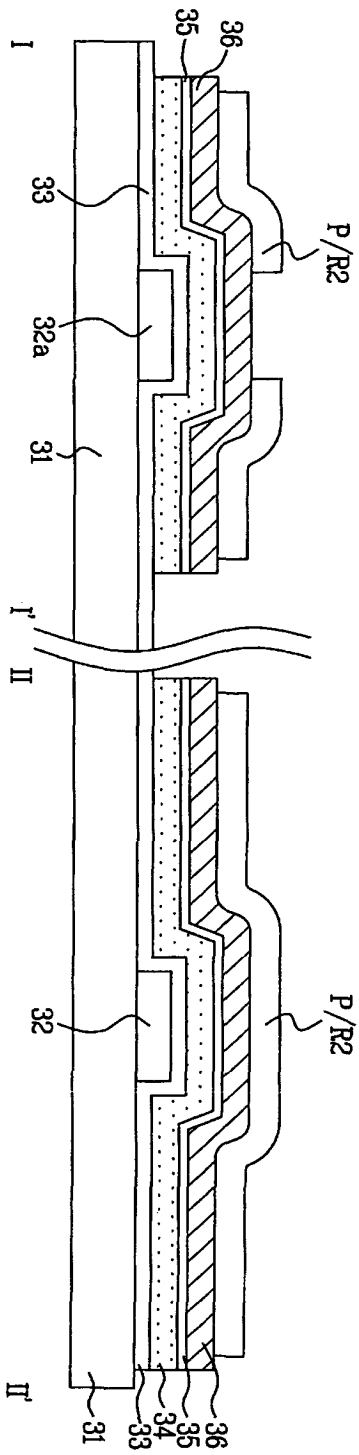
【도 3b】



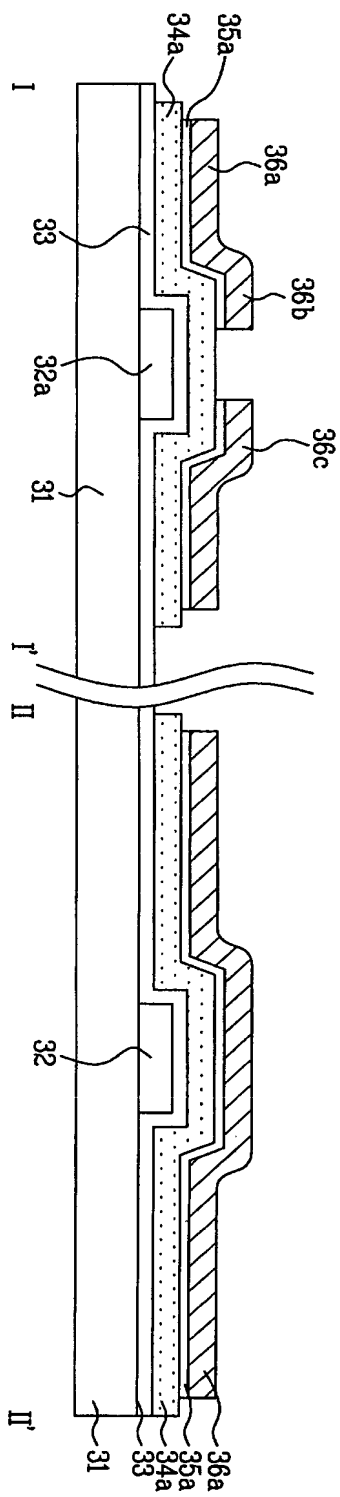
【도 3c】



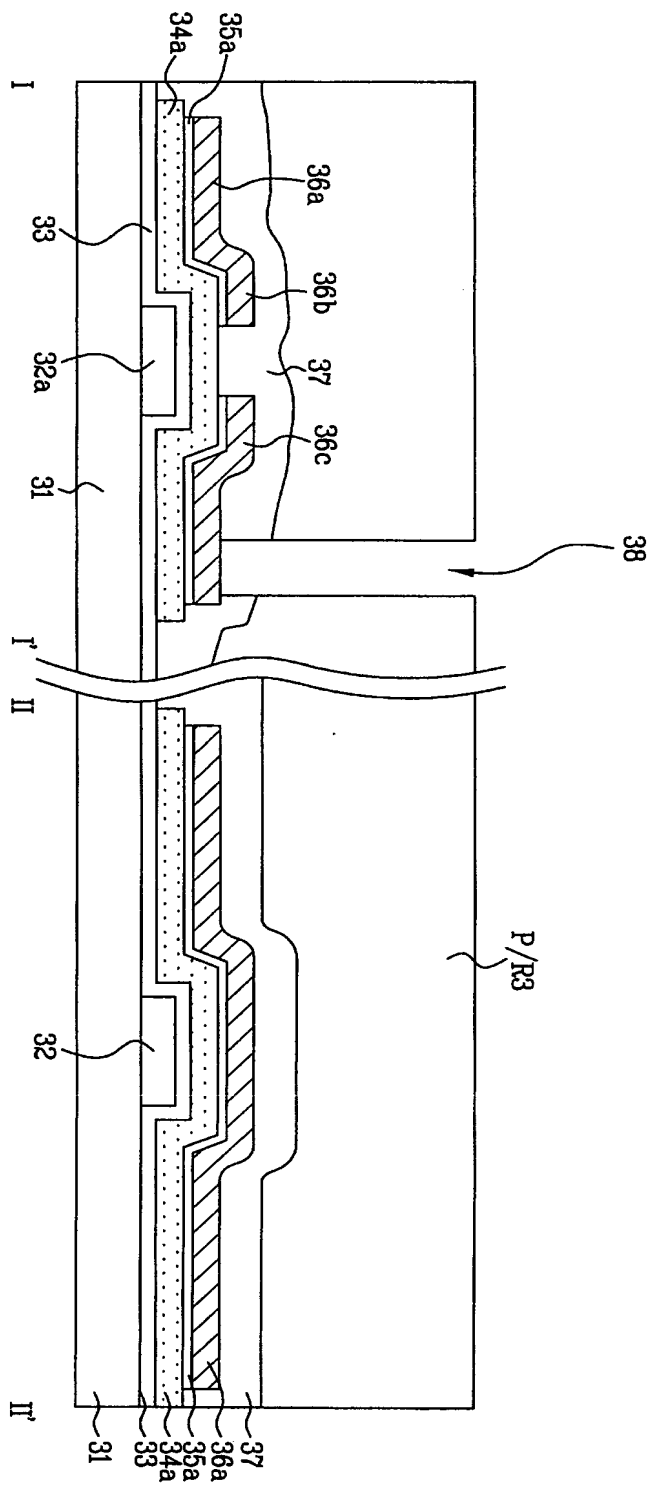
【도 3d】



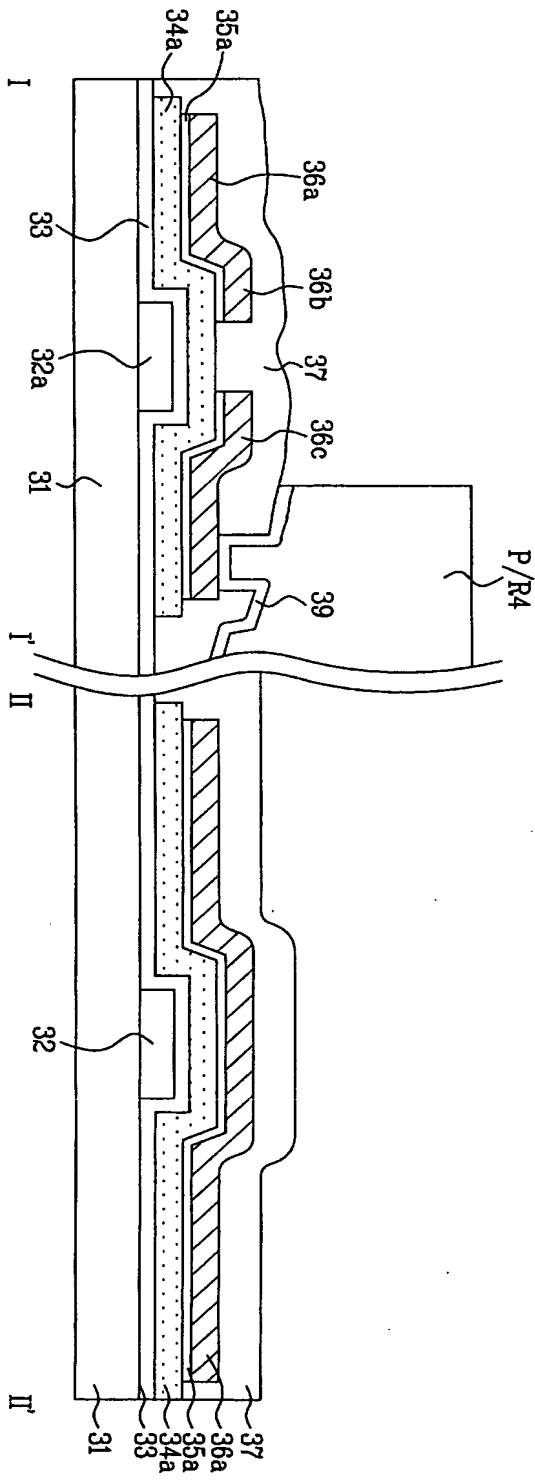
【도 3e】



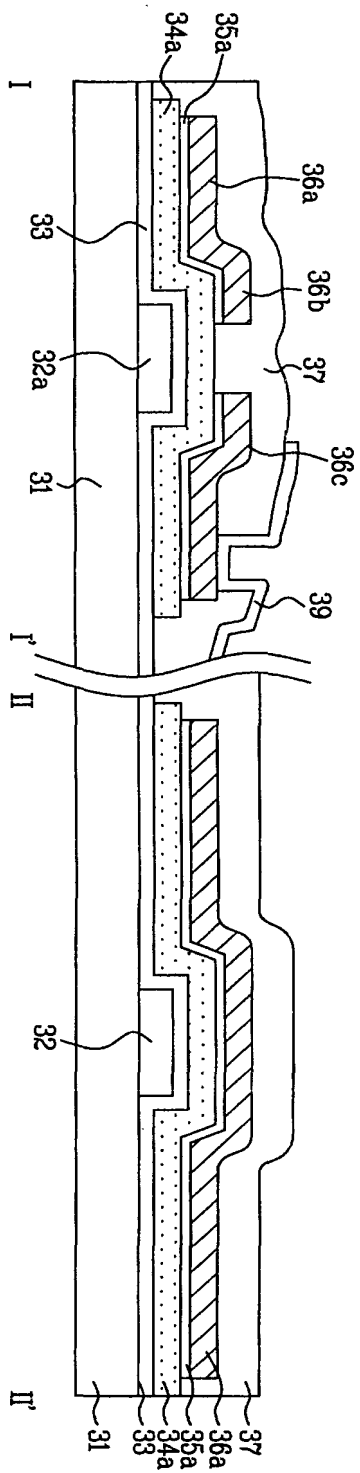
【도 3f】



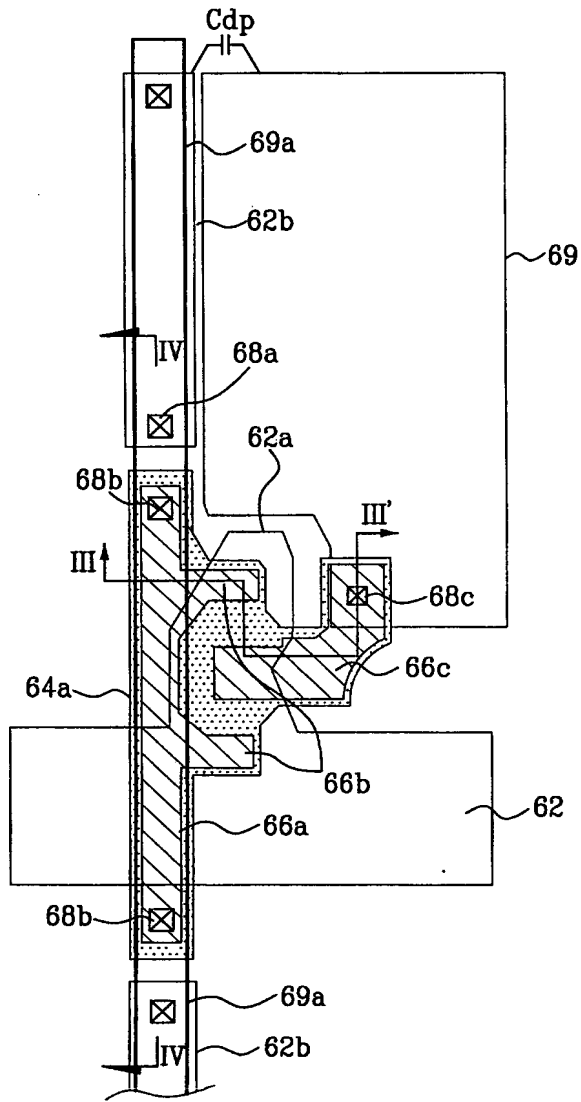
【도 3g】



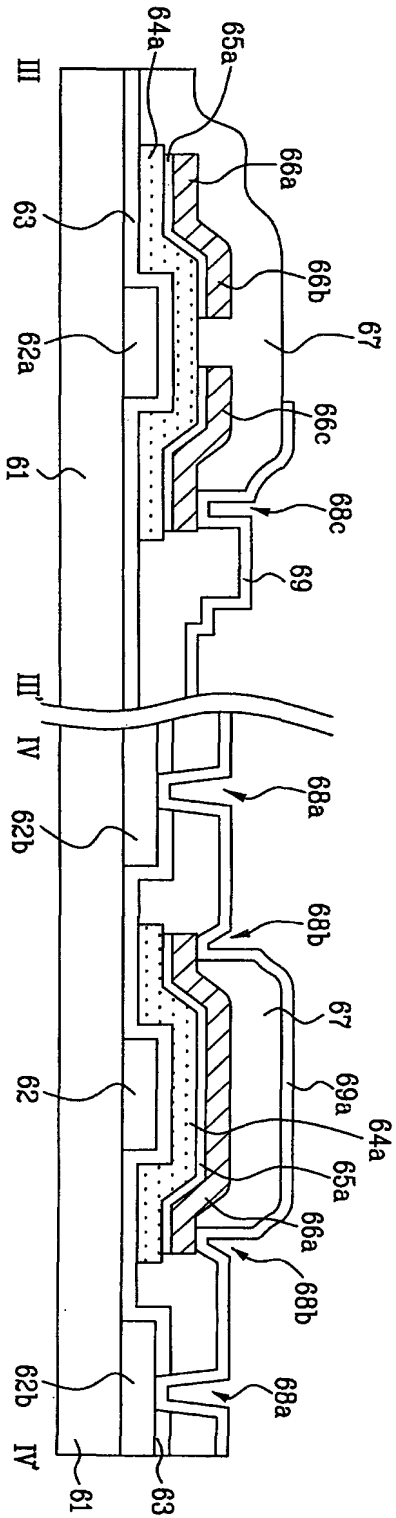
【도 3h】



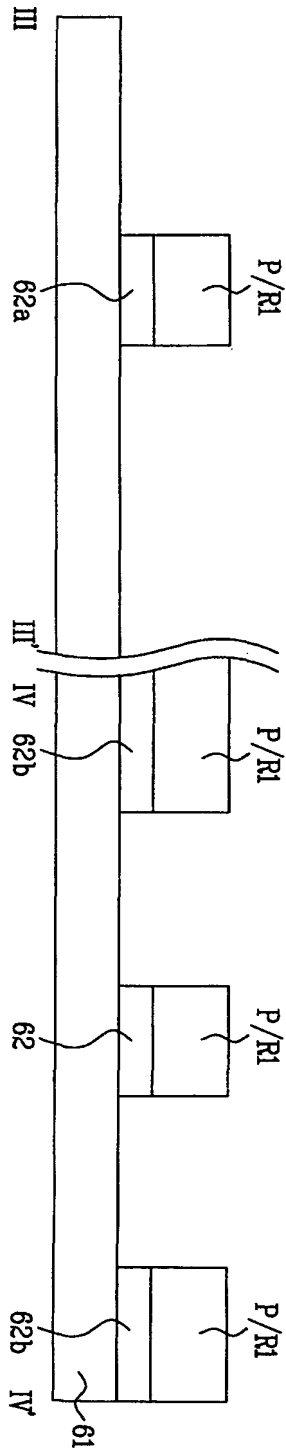
【도 4】



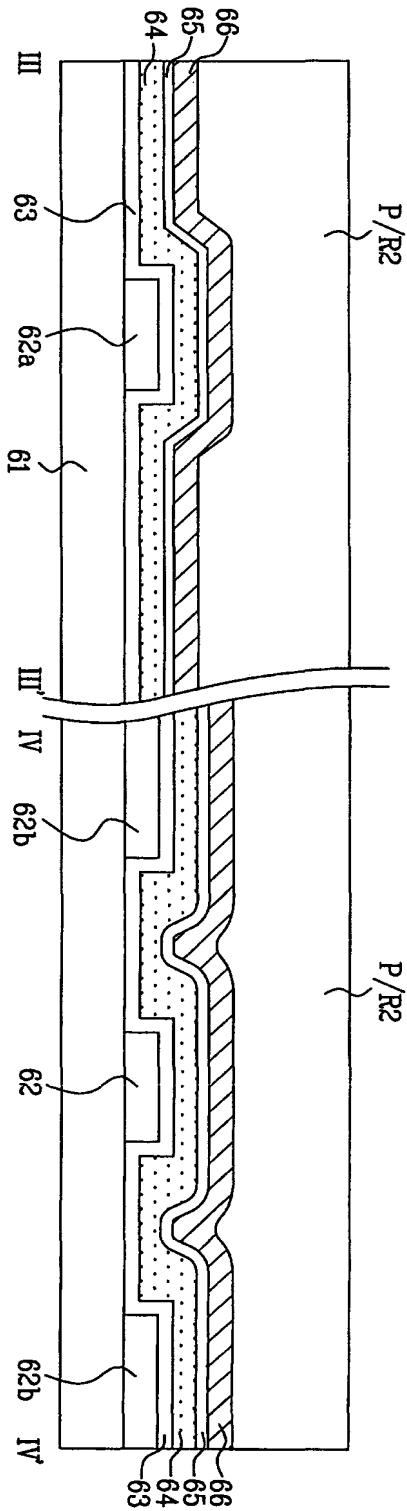
【도 5】



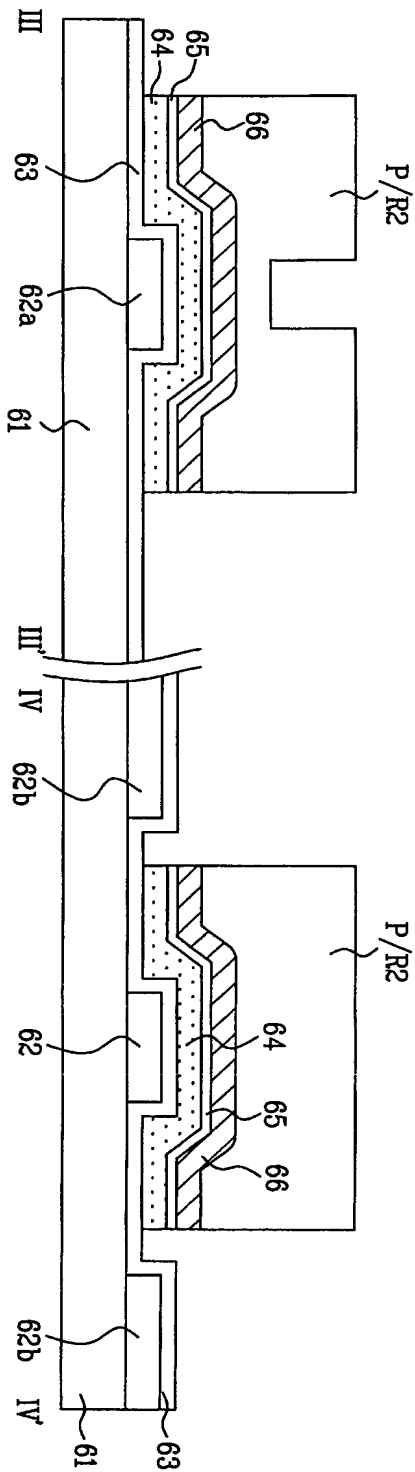
【도 6a】



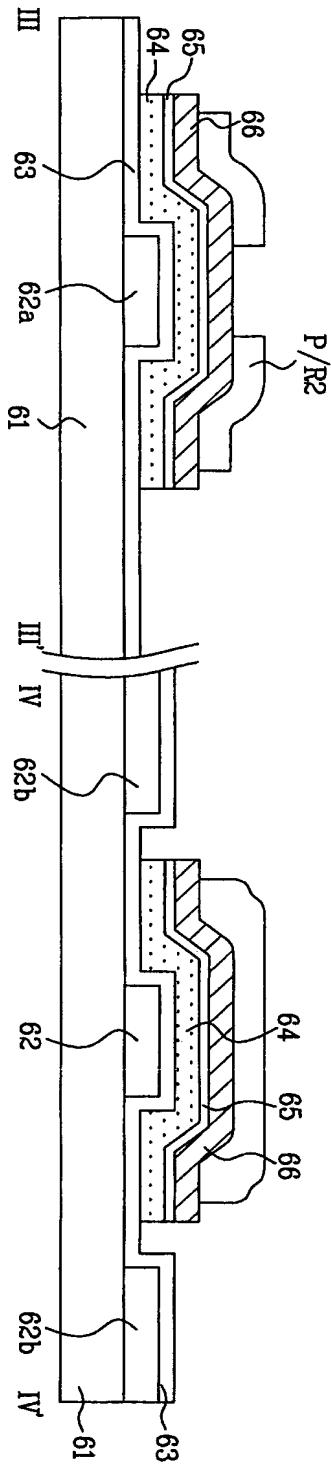
【도 6b】



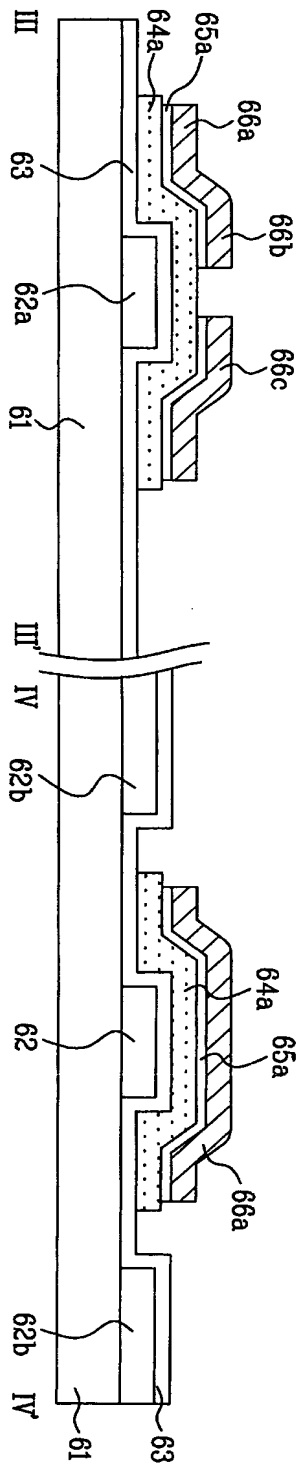
【도 6c】



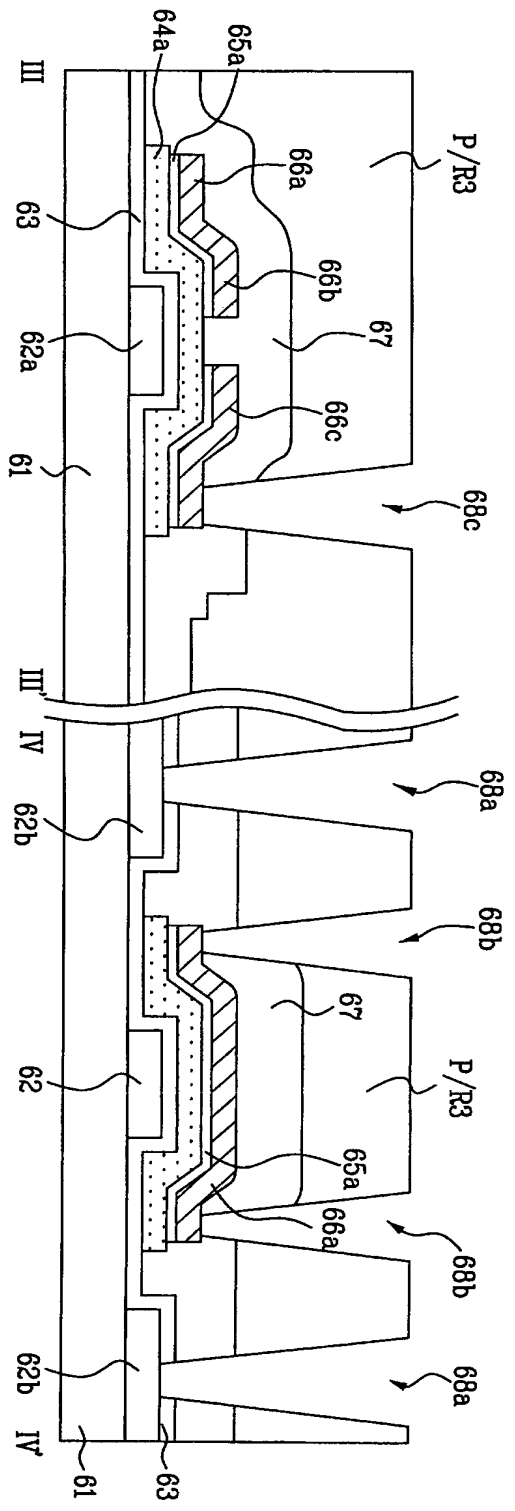
【도 6d】



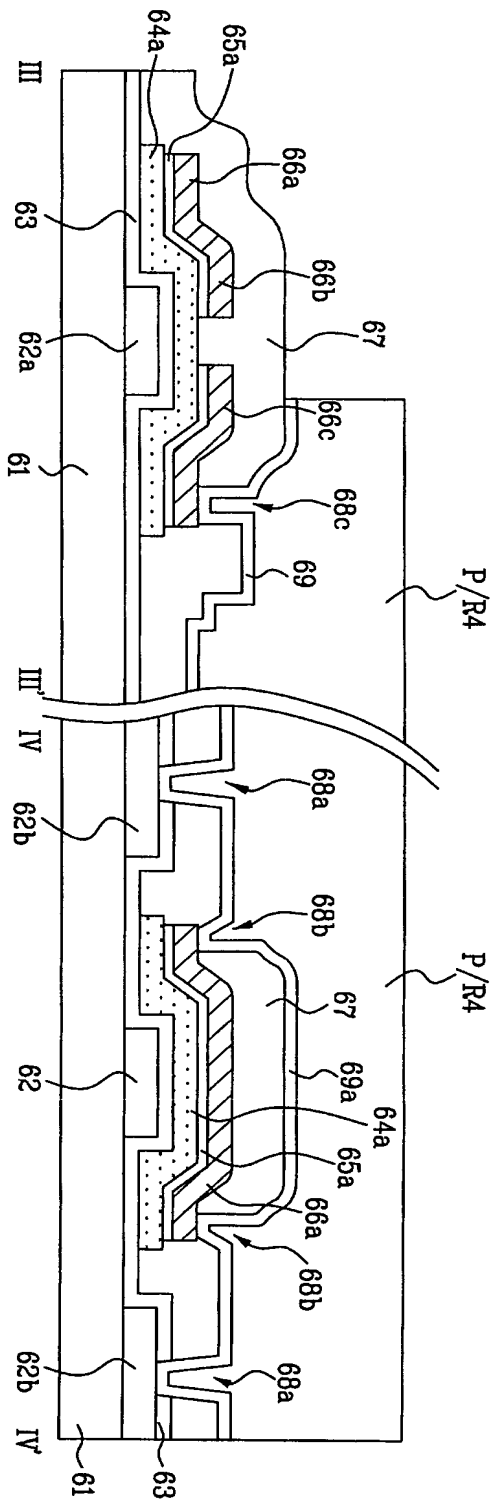
【도 6e】



【도 6f】



【도 6g】



【도 6h】

